

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07202317 A**

(43) Date of publication of application: **04.08.95**

(51) Int. Cl.

H01S 3/18

(21) Application number: **05349283**

(22) Date of filing: **28.12.93**

(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**

(72) Inventor: **KONDO YASUHIRO**

**(54) MANUFACTURE OF EMBEDDED STRUCTURE
SEMICONDUCTOR LASER**

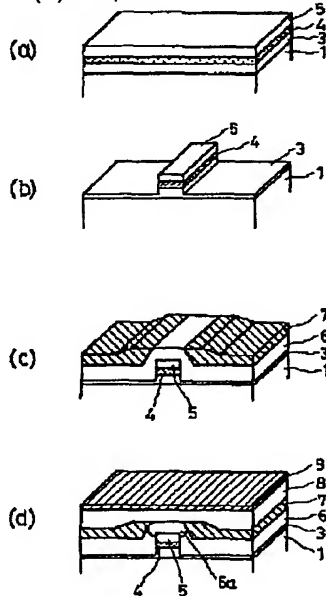
(57) Abstract:

PURPOSE: To manufacture an embedded structure semiconductor laser with small element capacity embedded with a semiinsulating layer by means of a simple fabrication process.

CONSTITUTION: An n-type InP layer 3, an undoped InGaAsP layer 4 and a p-type InP layer 5 are grown by means of a MOVPE method on an n-type InP substrate 1, and a mesa structure is formed in a <011> direction by photolithography and etching. Then a Fe doped semi-insulation InP layer 6 and a Se-doped N-type InP layer 7 are grown by the MOVPE method. At this time, if Se-doping concentration of the n-type InP layer 7 is $8 \times 10^8 \text{cm}^{-3}$ or more, growth of the n-type InP layer 7 at the summit of a ridge structure is suppressed, so that the n-type InP layer 7 may not be deposited on the summit of the ridge structure. Then a p-type InP layer 8 and a p-type InGaAsP layer 9 are grown, and at this time Zn diffuses from the p-type InP layer 8 into the Fe-doped semi-insulation InP layer 6, whereby the Fe-doped semi-insulation InP layer 6a growing on the

mesa structure is made a p-type.

COPYRIGHT: (C)1995,JPO



AN: PAT 1995-306088
TI: Embedded structure semiconductor laser mfr. comprises
converting upper portion of active region of current block
layer into p-type component
PN: JP07202317-A
PD: 04.08.1995
AB: The embedded structure semiconductor laser is formed on an
N type InP substrate (1). On this substrate, n type InP layer
(3), undoped InGaAsP layer (4) and P type InP layer (5) are
grown by MOVPE method. Then, Fe doped InP semiconductor layer
(6) and Se doped n type InP layer (7) are grown by MOVPE method
after generating a mesa structure in the [011] direction. The
Se doping density of the N type InP layer is set as $8 \times 10^{18} \text{cm}^{-3}$
or more. Subsequently, P type InP layer (8) and P type InGaAsP
layer (9) are formed sequentially on Se doped n type InP layer.
Zn diffuses in the Fe doped InP layer out of P type InP layer
and upper part of mesa structure becomes P type layer.;
Simplifies production process. Eliminates strong constraints on
ridge of N type diffusion prevention layer.
PA: (NITE) NIPPON TELEGRAPH & TELEPHONE CORP;
FA: JP07202317-A 04.08.1995;
CO: JP;
IC: H01S-003/18;
MC: L04-A02C; L04-A02D; L04-C02; L04-E03B; U12-A01B2; V08-A04A;
DC: L03; U12; V08;
FN: 1995306088.gif
PR: JP0349283 28.12.1993;
FP: 04.08.1995
UP: 02.10.1995



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of the embedded structure semiconductor laser characterized by providing the following. n form (100) III-V Process which forms the mesa stripe of the <011> directions which has an active region on a group compound semiconductor substrate. The process which deposits the n type semiconductor layer which doped the half-insulation semiconductor current block layer and VI group element of predetermined concentration by the organic-metal vapor growth all over the aforementioned semiconductor substrate, and the process which deposits a p type semiconductor exaggerated clad layer and a p type semiconductor cap layer on the aforementioned half insulation semiconductor current block layer and an n type semiconductor layer, and forms the half-insulation semiconductor current block layer of the aforementioned active-region upper part into p form.

[Claim 2] The manufacture method of the embedded structure semiconductor laser characterized by providing the following. n form (100) III-V Process which forms the mesa stripe of the <011> directions on a group compound semiconductor substrate. The process which deposits the n type semiconductor layer which doped the barrier layer, the half-insulation semiconductor current block layer, and VI group element of predetermined concentration by the organic-metal vapor growth all over the aforementioned semiconductor substrate, and the process which deposits a p type semiconductor exaggerated clad layer and a p type semiconductor cap layer on the aforementioned half insulation semiconductor current block layer and an n type semiconductor layer, and forms the half-insulation semiconductor current block layer of the aforementioned barrier-layer upper part into p form.

[Claim 3] The manufacture method of the embedded structure semiconductor laser characterized by processing it so that the aforementioned semiconductor substrate front face may be *****ed and the aforementioned half insulation semiconductor current block layer may appear only in the aforementioned mesa stripe upper part, after depositing the n type semiconductor layer which doped VI group element in a claim 1 or a claim 2.

[Claim 4] The manufacture method of the embedded structure semiconductor laser characterized by performing etching of the aforementioned semiconductor substrate front face within organic-metal vapor-growth equipment using etching nature gas in a claim 3.

[Claim 5] The manufacture method of the embedded structure semiconductor laser characterized by having the process which diffuses p form dopant in a claim 1, a claim 2, or a claim 3 only in the half-insulation semiconductor current block layer of the mesa stripe upper part by using as a mask the aforementioned n type semiconductor layer which has not been deposited only on the aforementioned mesa stripe upper part.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of the embedded structure semiconductor laser which used the organic-metal vapor growth.

[0002]

[Description of the Prior Art] Usually, in order to produce a low threshold current and efficient semiconductor laser, it is required to form an embedded structure. In order to form an embedded structure by the organic-metal vapor growth generally, formation of the mesa stripe which contained in the upper part the active region which has a selective-growth mask, and the embedding process of the mesa stripe by the selective growth are required, and a production process becomes complicated. The technology which embeds the mesa structure of having a barrier layer without using a selective-growth mask, in order to simplify a laser production process becomes important.

[0003] Drawing 6 is the perspective diagram explaining the semiconductor laser indicated by Japanese Patent Application No. No. (JP,5-102607,A) 285470 [three to], and its manufacture method of a process. In this drawing, first, as shown in drawing 6 (a) (100), the n form InP buffer layer 3, the undoping InGaAsP barrier layer 4, and the p form InP clad layer 5 are grown up by the organic-metal vapor-growth (MOVPE) method on the field n type InP substrate 1.

[0004] Next, as shown in drawing 6 (b), 1.5 micrometers of stripe **** and mesa structure with a height of about about 1.0 micrometers are formed in the <011> directions by the Fort Lee SOGURAFU technology and selective etching.

[0005] Next, as shown in drawing 6 (c), the p form InP current block layer 10 and the Se dope n type InP current confining layer 7 are grown up using the MOVPE method. If Se doping concentration of the n form InP layer 7 is made or more [$8 \times 10^{18} \text{cm}^{-3}$] into three at this time, growth of the n form InP layer 7 of the summit section of ridge structure will be suppressed completely, and the n form InP layer 7 will not be deposited on the ridge structure summit section, but the p form InP layer 6 will become the layer structure which has come out to the front face. Moreover, since the n form InP layer 7 remains except the ridge structure summit section, the p form InP current block layer 10 and the n form InP current confining layer 7 are committed as a current constriction layer and an optical confining layer to the barrier layer of ridge structure.

[0006] Next, as shown in drawing 6 (d), the p form InP exaggerated clad layer 8 and the p form InGaAsP cap layer 9 are grown up.

[0007] Thus, the manufactured element can manufacture an embedded structure laser element at the easy manufacture process as unnecessary in the process which used the selective-growth mask and which grows by embedding.

[0008]

[Problem(s) to be Solved by the Invention] Fe dope embedded structure is in the method of reducing element capacity. A laser production process which embeds the mesa structure of having a barrier layer without using a selective-growth mask like [formation of the mesa stripe which contained in the upper part the active region which has a selective-growth mask, and the embedding process of the mesa stripe by the selective growth are required for the manufacture method of the conventional Fe dope embedded structure laser, and a manufacture process is complicated, and] the semiconductor laser shown by Japanese Patent Application No. No. 285470 [three to] and its manufacture method and which was simplified was inapplicable.

[0009] Therefore, it is made in order that this invention may solve the conventional technical problem mentioned above, and the purpose is in offering the manufacture method of the embedded structure semiconductor laser which can produce embedded structure semiconductor laser with a small element capacity embedded by the half-insulating layer at an easy production process.

Moreover, without being able to produce in the large range (mesa structure, growth conditions), and being influenced by change of growth conditions etc., the repeatability of other purposes of this invention is good, and they are to offer the manufacture method of embedded structure semiconductor laser producible by the high yield.

[0010]

[Means for Solving the Problem] In order to attain such a purpose, the manufacture method of the embedded structure semiconductor laser by this invention in form (100) III-V The process which forms the mesa stripe of the $\langle 011 \rangle$ directions which has an active region on a group compound semiconductor substrate, The process which deposits the n type semiconductor layer which doped the half-insulation semiconductor current block layer and VI group element of predetermined concentration by the organic-metal vapor growth all over the semiconductor substrate, A p type semiconductor exaggerated clad layer and a p type semiconductor cap layer are deposited on a half-insulation semiconductor current block layer and an n type semiconductor layer, and it has the process which forms the half-insulation semiconductor current block layer of the active-region upper part into p form.

[0011] Moreover, the manufacture method of other embedded structure semiconductor laser by this invention in form (100) III-V The process which forms the mesa stripe of the $\langle 011 \rangle$ directions on a group compound semiconductor substrate, The process which deposits the n type semiconductor layer which doped the barrier layer, the half-insulation semiconductor current block layer, and VI group element of predetermined concentration by the organic-metal vapor growth all over the semiconductor substrate, A p type semiconductor exaggerated clad layer and a p type semiconductor cap layer are deposited on a half-insulation semiconductor current block layer and an n type semiconductor layer, and it has the process which forms the half-insulation semiconductor current block layer of the barrier-layer upper part into p form.

[0012]

[Function] Here, it is as follows when the manufacture method of embedded structure semiconductor laser mentioned above is explained. By diffusing p form dopant, a half-insulation semiconductor current block layer can form p form. Moreover, in the Fe doped InP layer, it is known that the diffusion rate of Zn which is the dopant of p form is unusually quick. Then, it is able for diffusion of p form dopant to use late n form layer as the selection mask at the time of diffusion, and to diffuse and form Zn into p form only in Fe doped layer of a specific field.

[0013] That is, in the conventional manufacture method, the n type semiconductor layer which only the thickness in which sufficient current block is possible grew up the half-insulation semiconductor layer to be the position of a p type semiconductor current block layer, and high-doped VI group dopant continuously in it is grown up. In the mesa structure upper part, growth is suppressed and an n type semiconductor layer becomes the structure in which the half-insulation semiconductor layer appeared at the front face only at the mesa structure upper part. Then, p form dopant is diffused from a growth side side. Methods, such as growing up a high doped p type semiconductor layer on a substrate, or performing gaseous-phase diffusion as the method of diffusion, can be considered. Although an n type semiconductor layer works as a diffusion prevention mask of p form dopant at this time, since there is no n type semiconductor layer in the mesa structure upper part, p form dopant is spread in a half-insulation semiconductor layer, and the half-insulation semiconductor deposited on the mesa changes to a p type semiconductor layer. For this reason, the current constriction structure where current can be poured only into mesa structure can be formed. Moreover, since the current block is performed for this embedded structure in the half-insulation semiconductor layer, it is possible not to have capacity in an embedding layer but to produce semiconductor laser with a small element capacity simply.

[0014] Moreover, the technical point of this production method is suppressing completely n type semiconductor growth of the mesa structure upper part, without using a selective-growth mask. When an n type semiconductor layer grows up to be the mesa structure upper part, it becomes impossible for the half-insulation semiconductor layer which grew on mesa structure to pour current into the active region which is no longer formed into p form and exists in mesa structure. In order to suppress growth of n form layer on a mesa completely, the tolerance of a mesa configuration and growth conditions becomes narrow (for example, when mesa width of face of about $w = 1.1$

micrometers and Se concentration which were shown in drawing 7 embed by three or more [$8 \times 10^{18} \text{cm}^{-3}$] n form InP(s)). However, even if it cannot suppress growth of n form layer completely, the difference in thickness sufficient in n formation length layer of the mesa structure upper part and other fields in the latus range is realizable. For example, as shown in drawing 7, even if mesa width of face is about $w = 3.5$ micrometers widely, when VI group dopant concentration is three or more [$8 \times 10^{18} \text{cm}^{-3}$], and when [if / it is about $w = 1.1$ micrometers in mesa width of face /, and] VI group dopant concentration is three or more [$5 \times 10^{18} \text{cm}^{-3}$], the growth rate of n form InP on a mesa was suppressed by 1/2 or less, and has realized the difference between other fields and sufficient thickness. Then, after growing up to n form layer, by *****ing the whole surface, only n form layer on a mesa can be removed and a half-insulation semiconductor layer can be taken out to a front face. Therefore, to an active region, an embedded structure with a small element capacity by which the current block was carried out in the half-insulation semiconductor layer in which current pouring is possible can be manufactured by diffusing p form dopant all over a substrate after that. Moreover, in order to ***** the whole substrate surface, an etching process has unnecessary pretreatment of patterning etc. and can be simply carried out by etching using the etching nature gas within a reactor etc.

[0015]

[Example] Hereafter, the example of this invention is explained in detail using a drawing.

(Example 1) Drawing 1 (a) - drawing 1 (d) are the perspective diagrams explaining the 1st example of the manufacture method of the embedded structure semiconductor laser by this invention of a process. In this drawing, as shown in drawing 1 (a) (100), the n form InP buffer layer 3 of $d = 1.0$ micrometers of thickness, the undoping InGaAsP barrier layer 4 of $d = 0.1$ micrometers of thickness, and the p form InP clad layer 5 of $d = 0.3$ micrometers of thickness are grown up by the organic-metal vapor-growth (MOVPE) method on the field n type InP substrate 1.

[0016] Next, as shown in drawing 1 (b), 1.5 micrometers of stripe **** and mesa structure with a height of about about 1.0 micrometers are formed in the $\langle 011 \rangle$ directions by photolithography technology and selective etching.

[0017] Next, as shown in drawing 1 (c), the Fe dope half insulation InP current block layer 6 of $d = 2.5$ micrometers of thickness and the Se dope n type InP diffusion prevention layer 7 of $d = 0.6$ micrometers of thickness are grown up using the MOVPE method. If Se doping concentration of the n form InP diffusion prevention layer 7 is made or more [$8 \times 10^{18} \text{cm}^{-3}$] into three at this time, growth of the n form InP diffusion prevention layer 7 in the summit section of the ridge structure formed by growth of the previous Fe dope half insulation InP current block layer 6 will be suppressed, and the n form InP diffusion prevention layer 7 will not be deposited on the ridge structure summit section.

[0018] Next, as shown in drawing 1 (d), the p form InP exaggerated clad layer 8 of $d = 1.0$ micrometers of thickness and the p form InGaAsP cap layer 9 of $d = 0.4$ micrometers of thickness are grown up. At this time, Zn is spread in the Fe dope half insulation InP current block layer 6 out of the p form InP exaggerated clad layer 8, Fe dope half insulation InP current block layer 6a which grew up to be the mesa structure upper part is formed into p form, and the embedded structure which has current constriction structure to the active region in mesa structure is formed.

[0019] Thus, the manufactured element can manufacture a half-insulation embedded structure laser element at the easy production process as unnecessary in the process which used the selective-growth mask and which grows by embedding.

[0020] (Example 2) Drawing 2 (a) - drawing 2 (d) are the perspective diagrams explaining the 2nd example of the manufacture method of the embedded structure semiconductor laser by this invention of a process. this drawing is first shown in drawing 2 (a) -- as (100) -- the field n type InP substrate 1 top -- the sputtering method -- SiO₂ a film is deposited and it has the selective-growth field of 2.5 micrometers of stripe **** in the $\langle 011 \rangle$ directions with photolithography technology -- SiO₂ The growth mask 2 is formed.

[0021] Next, as shown in drawing 2 (b), the n form InP buffer layer 3 of $d = 0.6$ micrometers of thickness, the undoping InGaAsP barrier layer 4 of $d = 0.1$ micrometers of thickness, and the p form InP clad layer 5 of $d = 0.3$ micrometers of thickness are grown up by the MOVPE method.

[0022] Next, it is SiO₂ as shown in drawing 2 (c). After HF removes the selective-growth mask 2,

the Fe dope half insulation InP current block layer 6 of $d = 2.5$ micrometers of thickness and the Se dope n type InP diffusion prevention layer 7 of $d = 0.6$ micrometers of thickness are grown up using the MOVPE method. If Se doping concentration of the n form InP diffusion prevention layer 7 is made or more $[8 \times 10^{18} \text{cm}^{-3}]$ into three at this time, growth of the n form InP diffusion prevention layer 7 in the summit section of the ridge structure formed by growth of the previous Fe dope half insulation InP current block layer 6 will be suppressed completely, and the n form InP diffusion prevention layer 7 will not be deposited on the ridge structure summit section.

[0023] Next, as shown in drawing 2 (d), the p form InP exaggerated clad layer 8 of $d = 1.0$ micrometers of thickness and the p form InGaAsP cap layer 9 of $d = 0.4$ micrometers of thickness are grown up. At this time, Zn is spread in the Fe dope half insulation InP current block layer 6 out of the p form InP exaggerated clad layer 8, Fe dope half insulation InP current block layer 6a which grew up to be the mesa structure upper part is formed into p form, and the embedded structure which has current constriction structure to the active region in mesa structure is formed.

[0024] Thus, the manufactured element can manufacture a half-insulation embedded structure laser element at the easy production process as unnecessary in the process which used the selective-growth mask and which grows by embedding.

[0025] (Example 3) Drawing 3 (a) - drawing 3 (c) are the perspective diagrams explaining the 3rd example of the manufacture method of the embedded structure semiconductor laser by this invention of a process. in this drawing, first, as shown in drawing 3 (a) (100), 2.0 micrometers of stripe **** and mesa structure with a height of about about 1.0 micrometers are formed in the $\langle 011 \rangle$ directions by photolithography technology and selective etching on the field n type InP substrate 1

[0026] Next, as shown in drawing 3 (b), the n form InP buffer layer 3 of $d = 0.1$ micrometers of thickness, the undoping InGaAsP barrier layer 4 of $d = 0.1$ micrometers of thickness, the Fe dope half insulation InP current block layer 6 of $d = 2.5$ micrometers of thickness, and the Se dope n type InP diffusion prevention layer 7 of $d = 0.6$ micrometers of thickness are grown up using the MOVPE method. If Se doping concentration of the n form InP diffusion prevention layer 7 is made or more $[5 \times 10^{18} \text{cm}^{-3}]$ into three at this time, growth of the n form InP diffusion prevention layer 7 of the summit section of ridge structure will be suppressed completely, and the n form InP diffusion layer 7 will not be deposited on the ridge structure summit section.

[0027] Next, as shown in drawing 3 (c), the p form InP exaggerated clad layer 8 of $d = 1.0$ micrometers of thickness and the p form InGaAsP cap layer 9 of $d = 0.4$ micrometers of thickness are grown up. At this time, Zn is spread in the Fe dope half insulation InP current block layer 6 out of the p form InP exaggerated clad layer 8, Fe dope half insulation InP current block layer 6a which grew up to be the mesa structure upper part is formed into p form, and the embedded structure which has current constriction structure to the active region in mesa structure is formed.

[0028] Thus, the manufactured element can manufacture an embedded structure laser element at the easy production process as unnecessary in the process which used the selective-growth mask and which grows by embedding.

[0029] (Example 4) Drawing 4 (a) - drawing 4 (e) are the perspective diagrams explaining the 4th example of the manufacture method of the embedded structure semiconductor laser by this invention of a process. In this drawing, as first shown in drawing 4 (a) (100), the n form InP buffer layer 3 of $d = 1.0$ micrometers of thickness, the undoping InGaAsP barrier layer 4 of $d = 0.1$ micrometers of thickness, and the p form InP clad layer 5 of $d = 0.3$ micrometers of thickness are grown up by the MOVPE method on the field n type InP substrate 1.

[0030] Next, as shown in drawing 4 (b), 1.5 micrometers of stripe **** and mesa structure with a height of about about 1.0 micrometers are formed in the $\langle 011 \rangle$ directions by photolithography technology and selective etching.

[0031] Next, as shown in drawing 4 (c), the Fe dope half insulation InP current block layer 6 of $d = 2.5$ micrometers of thickness and the Se dope n type InP diffusion prevention layer 7 of $d = 1.0$ micrometers of thickness are grown up using the MOVPE method. If Se doping concentration of the n form InP diffusion prevention layer 7 is made or more $[5 \times 10^{18} \text{cm}^{-3}]$ into three at this time, growth of the n form InP diffusion prevention layer 7 of the summit section of ridge structure will be suppressed, and only 1/2 or less thickness of n form InP diffusion prevention layers 7 other than the ridge structure summit section will be deposited.

[0032] Next, as shown in drawing 4 (d), hydrogen chloride gas is passed in a coil, and about about 0.5 micrometers *****s the whole growth side surface. At this time, as for the ridge structure upper part, growth suppression of the n form InP diffusion prevention layer 7 is carried out, the thickness has become about 0.5 micrometers or less, and the half-insulation InP current block layer 6 appears in a front face.

[0033] Next, as shown in drawing 4 (e), the p form InP exaggerated clad layer 8 of $d = 1.0$ micrometers of thickness and the p form InGaAsP cap layer 9 of $d = 0.4$ micrometers of thickness are grown up. At this time, Zn is spread in the Fe dope half insulation InP current block layer 6 out of the p form InP exaggerated clad layer 8, Fe dope half insulation InP current block layer 6a which grew up to be the mesa structure upper part is formed into p form, and the embedded structure which has current constriction structure to the active region in mesa structure is formed.

[0034] Thus, the manufactured element can manufacture a half-insulation embedded structure laser element at the easy production process as unnecessary in the process which used the selective-growth mask and which grows by embedding.

[0035] (Example 5) Drawing 5 (a) - drawing 5 (e) are the perspective diagrams explaining the 5th example of the manufacture method of the embedded structure semiconductor laser by this invention of a process. In this drawing, as first shown in drawing 5 (a) (100), the Se dope n type InP buffer layer 3 of $d = 1.0$ micrometers of thickness, the undoping InGaAsP barrier layer 4 of $d = 0.1$ micrometers of thickness, and the p form InP clad layer 5 of $d = 0.3$ micrometers of thickness are grown up by the MOVPE method on the field n type InP substrate 1.

[0036] Next, as shown in drawing 5 (b), 1.5 micrometers of stripe **** and mesa structure with a height of about about 1.0 micrometers are formed in the $\langle 011 \rangle$ directions by photolithography technology and selective etching.

[0037] Next, as shown in drawing 5 (c), the Fe dope half insulation InP current block layer 6 of $d = 2.5$ micrometers of thickness and the Se dope n type InP diffusion prevention layer 7 of $d = 0.6$ micrometers of thickness are grown up using the MOVPE method. If Se doping concentration of the n form InP diffusion prevention layer 7 is made or more $[8 \times 10^{18} \text{cm}^{-3}]$ into three at this time, growth of the n form InP diffusion prevention layer 7 of the ridge structure upper part will be suppressed completely, and the n form InP diffusion prevention layer 7 will not be deposited on the ridge structure upper part.

[0038] Next, gaseous-phase diffusion of Zn is performed by making temperature of a reactor into about 400 degrees C, and supplying DMZ, as shown in drawing 5 (d). At this time, the Se dope n type InP diffusion prevention layer 7 commits a diffusion prevention mask, and Zn spreads and forms p form only to half-insulation InP current block layer 6a of the mesa structure upper part.

[0039] Next, as shown in drawing 5 (e), the p form InP exaggerated clad layer 8 of $d = 1.0$ micrometers of thickness and the p form InGaAsP cap layer 9 of $d = 0.4$ micrometers of thickness are grown up. Thereby, the embedded structure which has current constriction structure to the active region in mesa structure can be formed.

[0040] Thus, the manufactured element can manufacture a half-insulation embedded structure laser element at the easy production process as unnecessary in the process which used the selective-growth mask and which grows by embedding.

[0041] In addition, in the example 4 mentioned above, although the n form InP diffusion prevention layer 7 was etched using chlorine gas, even if it uses other etching methods, the same effect is acquired.

[0042] Moreover, in the example 1 mentioned above - an example 4, it is in Ming that the dopants used for the n form InP diffusion prevention layer 7 may be other VI group dopants, such as Se.

[0043] Moreover, in the example 1 mentioned above - an example 5, although the semiconductor laser of an InP system was explained, you may be other III-V group compound semiconductor laser, such as a GaAs system.

[0044]

[Effect of the Invention] As mentioned above, as explained, according to this invention, the embedding [semiconductor laser / half-insulation embedded structure] growth process using the selective-growth mask cannot be performed, but it can manufacture at an easy production process. Moreover, since the perfect growth suppression on the ridge of n form diffusion prevention layer

becomes unnecessary by using an etching process together, a laser element can be produced in the large range (mesa structure, growth conditions), and it can apply to various kinds of elements. Since it is furthermore hard to receive influence in change of growth conditions etc., the extremely excellent effect, like high repeatability and the yield are realizable is acquired.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202317

(43) 公開日 平成7年(1995)8月4日

(51) IntCl.⁶

H01S 3/18

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平5-349283

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 近藤 康洋

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

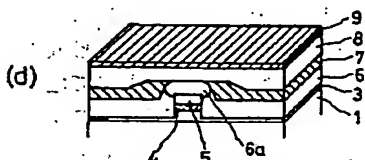
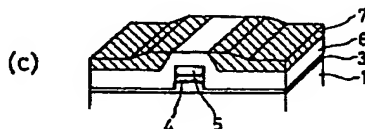
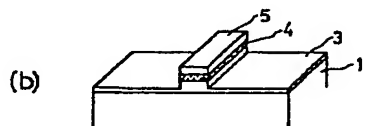
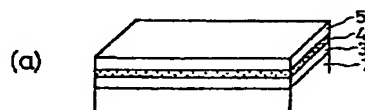
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 埋め込み構造半導体レーザの製造方法

(57) 【要約】

【目的】 半絶縁層で埋め込まれた素子容量の小さい埋め込み構造半導体レーザを簡単な作製工程で作製する。

【構成】 n形InP基板1上にn形InP層3、アンドープInGaAsP層4およびp形InP層5をMOVPE法により成長し、フォトリソグラフィおよびエッチングによって〈011〉方向にメサ構造を形成した後、MOVPE法によりFeドープ半絶縁InP層6、Seドープn形InP層7を成長する。このとき、n形InP層7のSeドーピング濃度を $8 \times 10^{18} \text{ cm}^{-3}$ 以上にすると、リッジ構造頂上部のn形InP層7の成長が抑制され、リッジ構造頂上部にはn形InP層7は堆積せず、次にp形InP層8、p形InGaAsP層9を成長し、このとき、p形InP層8中からFeドープ半絶縁InP層6中にZnが拡散し、メサ構造上部に成長したFeドープ半絶縁InP層6aはp形化される。



【特許請求の範囲】

【請求項1】 n形(100) III-V 族化合物半導体基板上に活性領域を有する(011)方向のメサストライプを形成する工程と、

前記半導体基板の全面に有機金属気相成長法により半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングしたn形半導体層を堆積する工程と、

前記半絶縁半導体電流ブロック層およびn形半導体層上にp形半導体オーバーラッド層、p形半導体キャップ層を堆積し、前記活性領域上部の半絶縁半導体電流ブロック層をp形化する工程と、を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項2】 n形(100) III-V 族化合物半導体基板上に(011)方向のメサストライプを形成する工程と、

前記半導体基板の全面に有機金属気相成長法により活性層、半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングしたn形半導体層を堆積する工程と、

前記半絶縁半導体電流ブロック層およびn形半導体層上にp形半導体オーバーラッド層、p形半導体キャップ層を堆積し、前記活性層上部の半絶縁半導体電流ブロック層をp形化する工程と、を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項3】 請求項1または請求項2において、VI族元素をドーピングしたn形半導体層を堆積した後、前記半導体基板表面をエッチングして前記メサストライプ上部のみに前記半絶縁半導体電流ブロック層が現れるように加工することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項4】 請求項3において、前記半導体基板表面のエッチングを有機金属気相成長装置内でエッチング性ガスを使用して行うことを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項5】 請求項1、請求項2または請求項3において、前記メサストライプ上部のみに堆積されていない前記n形半導体層をマスクとしてメサストライプ上部の半絶縁半導体電流ブロック層中にのみp形ドーパントを拡散する工程を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、有機金属気相成長法を用いた埋め込み構造半導体レーザの製造方法に関するものである。

【0002】

【従来の技術】通常、低閾値電流、高効率の半導体レーザを作製するためには、埋め込み構造を形成することが必要である。一般に有機金属気相成長法で埋め込み構造を形成するためには、上部に選択成長マスクを有する活性領域を含んだメサストライプの形成および選択成長に

よるメサストライプの埋め込み工程が必要であり、作製工程が複雑になる。レーザ作製プロセスを簡略化するために選択成長マスクを使用しないで活性層を有するメサ構造を埋め込む技術が重要になる。

【0003】図6は、例えば特願平3-285470号(特開平5-102607号公報)に開示された半導体レーザおよびその製造方法を説明する工程の斜視図である。同図において、まず、図6(a)に示すように(100)面n形InP基板1上にn形InPバッファ層3、アンドープInGaAsP活性層4およびp形InPクラッド層5を有機金属気相成長法(MOVPE)法によって成長する。

【0004】次に図6(b)に示すようにフォトリソグラフィ技術と選択エッチングとによって(011)方向にストライプ幅約1.5μm、高さ約1.0μm程度のメサ構造を形成する。

【0005】次に図6(c)に示すようにMOVPE法を用いてp形InP電流ブロック層10、Seドーブn形InP電流閉じ込め層7を成長する。このとき、n形InP層7のSeドーピング濃度を $8 \times 10^{18} \text{ cm}^{-3}$ 以上にすると、リッジ構造の頂上部のn形InP層7の成長が完全に抑制され、リッジ構造頂上部にn形InP層7は堆積せず、p形InP層6が表面に出ている層構造になる。また、リッジ構造頂上部以外はn形InP層7が残っているため、p形InP電流ブロック層10、n形InP電流閉じ込め層7はリッジ構造の活性層に対して電流狭窄層および光閉じ込め層として働く。

【0006】次に図6(d)に示すようにp形InPオーバーラッド層8、p形InGaAsPキャップ層9を成長する。

【0007】このようにして製作した素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な製作工程で埋め込み構造レーザ素子を製作することができる。

【0008】

【発明が解決しようとする課題】素子容量を低減する方法にFeドーブ埋め込み構造がある。従来のFeドーブ埋め込み構造レーザの製造方法は、上部に選択成長マスクを有する活性領域を含んだメサストライプの形成および選択成長によるメサストライプの埋め込み工程が必要であり、製作工程が複雑であり、特願平3-285470号で示された半導体レーザおよびその製造方法のように選択成長マスクを使用しないで活性層を有するメサ構造を埋め込むような簡略化されたレーザ作製プロセスを応用することができなかった。

【0009】したがって本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、半絶縁層で埋め込まれた素子容量の小さい埋め込み構造半導体レーザを簡単な作製工程で作製することができる埋め込み構造半導体レーザの製造方法を提供することにあ

る。また、本発明の他の目的は、広い範囲（メサ構造、成長条件）において作製が可能であり、成長条件などの変化に影響されことなく、再現性良く、高い歩留まりで作製することができる埋め込み構造半導体レーザの製造方法を提供することにある。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明による埋め込み構造半導体レーザの製造方法は、n形（100）III-V族化合物半導体基板上に活性領域を有する〈011〉方向のメサストライプを形成する工程と、半導体基板の全面に有機金属気相成長法により半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングしたn形半導体層を堆積する工程と、半絶縁半導体電流ブロック層およびn形半導体層上にp形半導体オーバーラッド層、p形半導体キャップ層を堆積し、活性領域上部の半絶縁半導体電流ブロック層をp形化する工程とを有している。

【0011】また、本発明による他の埋め込み構造半導体レーザの製造方法は、n形（100）III-V族化合物半導体基板上に〈011〉方向のメサストライプを形成する工程と、半導体基板の全面に有機金属気相成長法により活性層、半絶縁半導体電流ブロック層、所定の濃度のVI族元素をドーピングしたn形半導体層を堆積する工程と、半絶縁半導体電流ブロック層およびn形半導体層上にp形半導体オーバーラッド層、p形半導体キャップ層を堆積し、活性層上部の半絶縁性半導体電流ブロック層をp形化する工程とを有している。

【0012】

【作用】ここで、前述した埋め込み構造半導体レーザの製造方法を説明すると、次のようになる。半絶縁性半導体電流ブロック層はp形ドーパントを拡散することにより、p形化することが可能である。また、FeドーピングInP層中ではp形のドーパントであるZnの拡散速度が異常に速いことが知られている。そこで、p形ドーパントの拡散が遅いn形層を拡散時の選択マスクとし、特定領域のFeドーピング層のみにZnを拡散してp形化することが可能である。

【0013】つまり、従来の製造方法において、p形半導体電流ブロック層の位置に半絶縁半導体層を十分な電流ブロックが可能な層厚だけ成長し、続けてVI族ドーパントを高ドーピングしたn形半導体層を成長する。n形半導体層はメサ構造上部では成長が抑制され、メサ構造上部だけに半絶縁半導体層が表面に現れた構造になる。その後、成長面側からp形ドーパントを拡散する。拡散の方法としては、基板上に高ドーピングp形半導体層を成長するか、または気相拡散を行うなどの方法が考えられる。このとき、n形半導体層がp形ドーパントの拡散防止マスクとして働くが、メサ構造上部にはn形半導体層がないため、半絶縁半導体層中にp形ドーパントが拡散し、メサ上に堆積した半絶縁半導体はp形半導体層に変

化する。このため、メサ構造にのみ電流が注入可能な電流狭窄構造が形成できる。また、この埋め込み構造を電流ブロックを半絶縁半導体層で行っているため、埋め込み層に容量を持たず、素子容量の小さい半導体レーザを簡単に作製することが可能である。

【0014】また、この作製方法の技術的ポイントは、選択成長マスクを用いずにメサ構造上部のn形半導体成長を完全に抑制することである。もし、メサ構造上部に少しでもn形半導体層が成長した場合、メサ構造上に成長した半絶縁半導体層はp形化されなくなり、メサ構造中に存在する活性領域に電流を注入できなくなる。メサ上のn形層の成長を完全に抑制するためには、メサ形状、成長条件の許容範囲が狭くなる（例えば図7に示されたメサ幅 $w = 1.1 \mu\text{m}$ 程度、Se濃度が $8 \times 10^{18} \text{cm}^{-3}$ 以上のn形InPで埋め込む場合）。しかし、n形層の成長を完全に抑制できなくても、広い範囲でメサ構造上部のn形成長層と他の領域で十分な膜厚の違いを実現できる。例えば図7に示すようにメサ幅が広く $w = 3.5 \mu\text{m}$ 程度であってもVI族ドーパント濃度が $8 \times 10^{18} \text{cm}^{-3}$ 以上の場合、また、メサ幅 $w = 1.1 \mu\text{m}$ 程度であれば、VI族ドーパント濃度が $5 \times 10^{18} \text{cm}^{-3}$ 以上の場合にはメサ上のn形InPの成長速度は1/2以下に抑制され、他の領域と十分な膜厚の違いを実現できている。そこでn形層まで成長した後、全面をエッチングすることにより、メサ上のn形層のみを除去し、半絶縁半導体層を表面に出すことができる。したがって、その後、基板全面にp形ドーパントを拡散することにより、活性領域には電流注入が可能な半絶縁半導体層で電流ブロックされた素子容量が小さい埋め込み構造が製造できる。また、エッチング工程は、基板全面をエッチングするためにパターニングなどの前処理が不要で反応炉内でのエッチング性ガスを用いたエッチングなどにより、簡単に行うことが可能である。

【0015】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。

（実施例1）図1（a）～図1（d）は、本発明による埋め込み構造半導体レーザの製造方法の第1の実施例を説明する工程の斜視図である。同図において、図1

（a）に示すように（100）面n形InP基板1上に膜厚 $d = 1.0 \mu\text{m}$ のn形InPバッファ層3、膜厚 $d = 0.1 \mu\text{m}$ のアンダーインGaAsP活性層4および膜厚 $d = 0.3 \mu\text{m}$ のp形InPクラッド層5を有機金属気相成長（MOVPE）法によって成長する。

【0016】次に図1（b）に示すようにフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $1.5 \mu\text{m}$ 、高さ約 $1.0 \mu\text{m}$ 程度のメサ構造を形成する。

【0017】次に図1（c）に示すようにMOVPE法を用いて膜厚 $d = 2.5 \mu\text{m}$ のFeドーピング半絶縁InP

電流ブロック層6、膜厚 $d=0.6\mu\text{m}$ のSeドーブn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $8\times 10^{18}\text{cm}^{-3}$ 以上にすると、先のFeドーブ半絶縁InP電流ブロック層6の成長で形成されたリッジ構造の頂上部におけるn形InP拡散防止層7の成長が抑制され、リッジ構造頂上部にはn形InP拡散防止層7は堆積しない。

【0018】次に図1(d)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバーラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバーラッド層8中からFeドーブ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドーブ半絶縁InP電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0019】このようにして製作された素子は選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0020】(実施例2)図2(a)～図2(d)は、本発明による埋め込み構造半導体レーザの製造方法の第2の実施例を説明する工程の斜視図である。同図において、まず、図2(a)に示すように(100)面n形InP基板1上にスパッタリング法によってSiO₂膜を堆積し、フォトリソグラフィ技術によって〈011〉方向にストライプ幅約 $2.5\mu\text{m}$ の選択成長領域を有するSiO₂成長マスク2を形成する。

【0021】次に図2(b)に示すように膜厚 $d=0.6\mu\text{m}$ のn形InPバッファ層3、膜厚 $d=0.1\mu\text{m}$ のアンダーInGaAsP活性層4および膜厚 $d=0.3\mu\text{m}$ のp形InPクラッド層5をMOVPE法によって成長する。

【0022】次に図2(c)に示すようにSiO₂選択成長マスク2をHFによって除去した後、MOVPE法を用いて膜厚 $d=2.5\mu\text{m}$ のFeドーブ半絶縁InP電流ブロック層6、膜厚 $d=0.6\mu\text{m}$ のSeドーブn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $8\times 10^{18}\text{cm}^{-3}$ 以上にすると、先のFeドーブ半絶縁InP電流ブロック層6の成長で形成されたリッジ構造の頂上部におけるn形InP拡散防止層7の成長が完全に抑制され、リッジ構造頂上部にはn形InP拡散防止層7は堆積しない。

【0023】次に図2(d)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバーラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバーラッド層8中からFeドーブ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドーブ半絶縁InP

電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0024】このようにして製作された素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0025】(実施例3)図3(a)～図3(c)は、本発明による埋め込み構造半導体レーザの製造方法の第3の実施例を説明する工程の斜視図である。同図において、まず、図3(a)に示すように(100)面n形InP基板1上にフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $2.0\mu\text{m}$ 、高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

【0026】次に図3(b)に示すようにMOVPE法を用いて膜厚 $d=0.1\mu\text{m}$ のn形InPバッファ層3、膜厚 $d=0.1\mu\text{m}$ のアンダーInGaAsP活性層4、膜厚 $d=2.5\mu\text{m}$ のFeドーブ半絶縁InP電流ブロック層6および膜厚 $d=0.6\mu\text{m}$ のSeドーブn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $5\times 10^{18}\text{cm}^{-3}$ 以上にすると、リッジ構造の頂上部のn形InP拡散防止層7の成長が完全に抑制され、リッジ構造頂上部にはn形InP拡散層7は堆積しない。

【0027】次に図3(c)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバーラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバーラッド層8中からFeドーブ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドーブ半絶縁InP電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0028】このようにして製作された素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で埋め込み構造レーザ素子を製作することができる。

【0029】(実施例4)図4(a)～図4(e)は、本発明による埋め込み構造半導体レーザの製造方法の第4の実施例を説明する工程の斜視図である。同図において、まず図4(a)に示すように(100)面n形InP基板1上に膜厚 $d=1.0\mu\text{m}$ のn形InPバッファ層3、膜厚 $d=0.1\mu\text{m}$ のアンダーInGaAsP活性層4および膜厚 $d=0.3\mu\text{m}$ のp形InPクラッド層5をMOVPE法によって成長する。

【0030】次に図4(b)に示すようにフォトリソグラフィ技術と選択エッチングとによって〈011〉方向にストライプ幅約 $1.5\mu\text{m}$ 、高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

【0031】次に図4(c)に示すようにMOVPE法

を用いて膜厚 $d=2.5\mu\text{m}$ のFeドーブ半絶縁InP電流ブロック層6、膜厚 $d=1.0\mu\text{m}$ のSeドーブn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $5\times 10^{18}\text{cm}^{-3}$ 以上にすると、リッジ構造の頂上部のn形InP拡散防止層7の成長が抑制され、リッジ構造頂上部以外のn形InP拡散防止層7の $1/2$ 以下の厚さしか堆積しない。

【0032】次に図4(d)に示すように反応管中に塩化水素ガスを流し、成長面全面を約 $0.5\mu\text{m}$ 程度エッチングする。このとき、リッジ構造上部はn形InP拡散防止層7が成長抑制され、その膜厚は約 $0.5\mu\text{m}$ 以下になっており、半絶縁InP電流ブロック層6が表面に現れる。

【0033】次に図4(e)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。このとき、p形InPオーバークラッド層8中からFeドーブ半絶縁InP電流ブロック層6中にZnが拡散し、メサ構造上部に成長したFeドーブ半絶縁InP電流ブロック層6aはp形化され、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成される。

【0034】このようにして製作された素子は選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0035】(実施例5)図5(a)～図5(e)は、本発明による埋め込み構造半導体レーザの製造方法の第5の実施例を説明する工程の斜視図である。同図において、まず図5(a)に示すように(100)面n形InP基板1上に膜厚 $d=1.0\mu\text{m}$ のSeドーブn形InPバッファ層3、膜厚 $d=0.1\mu\text{m}$ のアンダーInGaAsP活性層4および膜厚 $d=0.3\mu\text{m}$ のp形InPクラッド層5をMOVPE法によって成長する。

【0036】次に図5(b)に示すようにフォトリソグラフィ技術および選択エッチングによって〈011〉方向にストライプ幅約 $1.5\mu\text{m}$ 、高さ約 $1.0\mu\text{m}$ 程度のメサ構造を形成する。

【0037】次に図5(c)に示すようにMOVPE法を用いて膜厚 $d=2.5\mu\text{m}$ のFeドーブ半絶縁InP電流ブロック層6、膜厚 $d=0.6\mu\text{m}$ のSeドーブn形InP拡散防止層7を成長する。このとき、n形InP拡散防止層7のSeドーピング濃度を $8\times 10^{18}\text{cm}^{-3}$ 以上にすると、リッジ構造上部のn形InP拡散防止層7の成長が完全に抑制され、リッジ構造上部にはn形InP拡散防止層7は堆積しない。

【0038】次に図5(d)に示すように反応炉の温度を約 400°C にしてDMZを供給することによってZnの気相拡散を行う。このとき、Seドーブn形InP拡

散防止層7が拡散防止マスクの働きをし、メサ構造上部の半絶縁InP電流ブロック層6aのみにZnが拡散されてp形化する。

【0039】次に図5(e)に示すように膜厚 $d=1.0\mu\text{m}$ のp形InPオーバークラッド層8、膜厚 $d=0.4\mu\text{m}$ のp形InGaAsPキャップ層9を成長する。これにより、メサ構造中の活性領域に対して電流狭窄構造を有する埋め込み構造が形成できる。

【0040】このようにして製作された素子は選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な作製工程で半絶縁埋め込み構造レーザ素子を製作することができる。

【0041】なお、前述した実施例4においては、塩素ガスをを用いてn形InP拡散防止層7のエッチングを行ったが、他のエッチング方法を用いても、同様の効果が得られる。

【0042】また、前述した実施例1～実施例4においては、n形InP拡散防止層7に使用するドーパントはSeなどの他のVI族ドーパントであっても良いことは明らかである。

【0043】また、前述した実施例1～実施例5においては、InP系の半導体レーザについて説明したが、GaAs系などの他のIII-V族化合物半導体レーザであっても良い。

【0044】

【発明の効果】以上、説明したように本発明によれば、半絶縁埋め込み構造半導体レーザを、選択成長マスクを用いた埋め込み成長工程を行わず、簡単な作製工程で製作することができる。また、エッチング工程を併用することにより、n形拡散防止層のリッジ上での完全な成長抑制が不要となるので、広い範囲(メサ構造、成長条件)においてレーザ素子を作製可能であり、各種の素子に応用可能である。さらに成長条件の変化などに影響を受けにくいので、高い再現性、歩留まりが実現できるなどの極めて優れた効果が得られる。

【図面の簡単な説明】

【図1】本発明による埋め込み構造半導体レーザの製造方法の第1の実施例を説明する工程の斜視図である。

【図2】本発明による埋め込み構造半導体レーザの製造方法の第2の実施例を説明する工程の斜視図である。

【図3】本発明による埋め込み構造半導体レーザの製造方法の第3の実施例を説明する工程の斜視図である。

【図4】本発明による埋め込み構造半導体レーザの製造方法の第4の実施例を説明する工程の斜視図である。

【図5】本発明による埋め込み構造半導体レーザの製造方法の第5の実施例を説明する工程の斜視図である。

【図6】従来の埋め込み構造半導体レーザの製造方法を説明する工程の斜視面図である。

【図7】メサ上に成長したn形InP層厚のドーピング濃度依存性を示す図である。

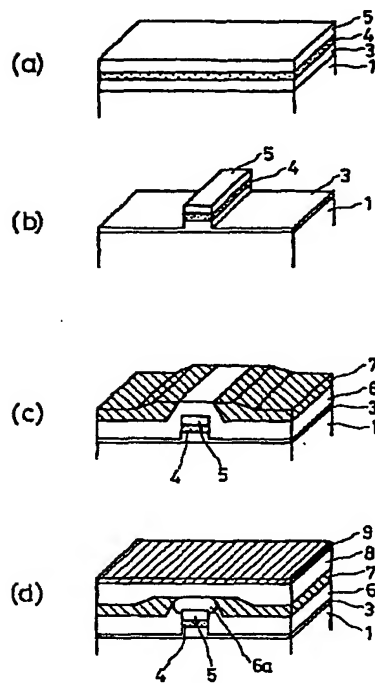
【符号の説明】

- 1 n形InP基板
2 SiO₂選択成長マスク
3 Seドーブn形InPバッファ層
4 アンドープInGaAsP活性層
5 p形InPクラッド層
6 FeドーブInP電流ブロック層

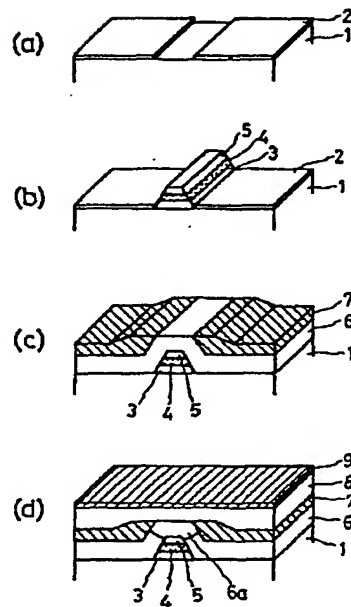
- * 6a Feドーブp形InP電流ブロック層
7 Seドーブn形InP拡散防止層
8 p形InPオーバークラッド層
9 p形InGaAsPキャップ層
6 Feドーブp形InP電流ブロック層
10 p形InP電流ブロック層

*

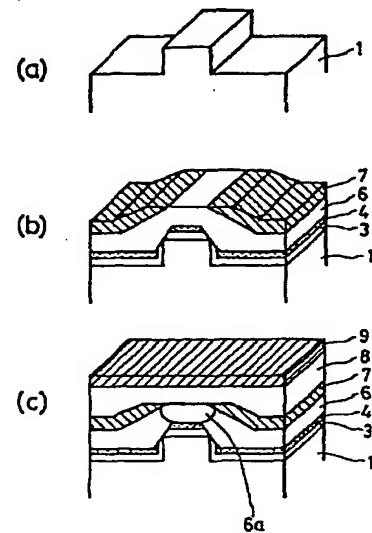
【図1】



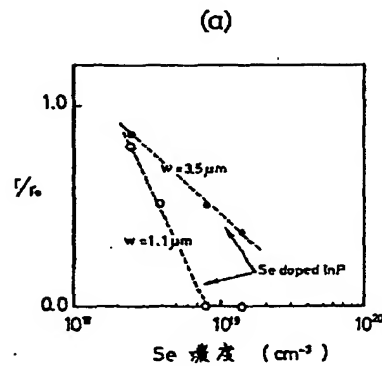
【図2】



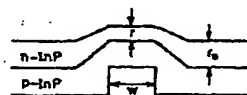
【図3】



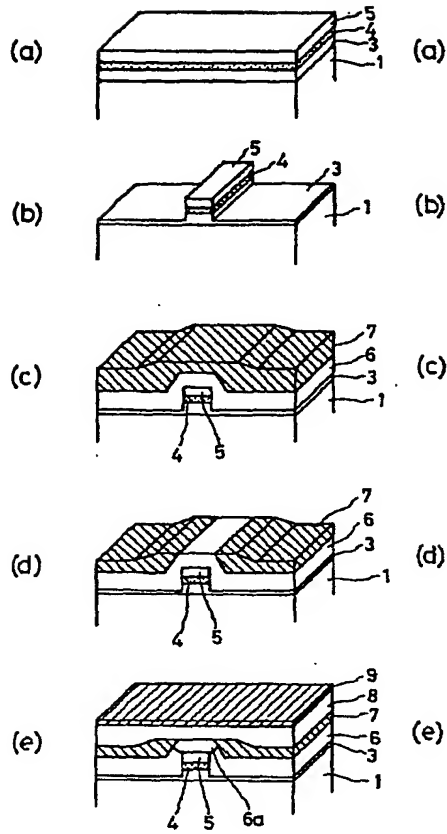
【図7】



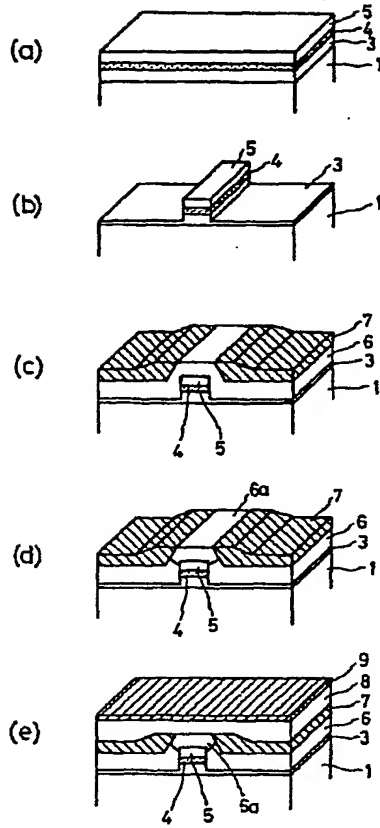
(b)



【図4】



【図5】



【図6】

